

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087716

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

G02F 1/136

(21)Application number : 09-237061

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.09.1997

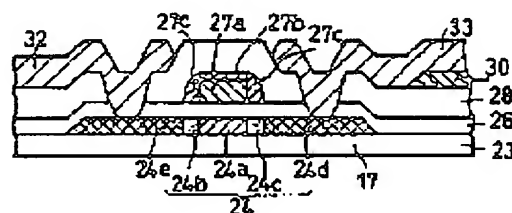
(72)Inventor : HIDAKA KOJI

(54) THIN FILM TRANSISTOR DEVICE, FABRICATION THEREOF AND ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the mobility, the threshold voltage, or the like, due to fluctuation in the length of a lightly doped region by forming a first conductive layer as a gate interconnection layer through a gate insulation film, forming a second conductive layer on the first conductive layer, and then coating the side face of the first and second conductive layers with a third conductive layer.

SOLUTION: A semiconductor layer 24 having a channel region 24a composed of polysilicon of a polysilicon thin film transistor 17, regions 24b, c doped lightly with P+ ions, a source region 24d heavily doped lightly with P+ ions, and a drain region 24e is formed on a transparent insulating substrate 23. A first conductive layer 27a of Al is then formed on the semiconductor layer 24 through a gate insulation film 26, a second conductive layer 27b of Ti is formed the conductive layer 27a and the side face of the first and second conductive layers 27a, 27b are coated with a third conductive layer 27c thus forming a gate interconnection layer integrally with a scanning line.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87716

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>8</sup>  
H 0 1 L 29/786  
21/336  
G 0 2 F 1/136

識別記号

5 0 0

F I

H 0 1 L 29/78 6 1 6 A  
G 0 2 F 1/136 5 0 0  
H 0 1 L 29/78 6 1 2 D  
6 1 2 C  
6 1 6 M

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平9-237061

(22) 出願日 平成9年(1997) 9月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 日高 浩二

埼玉県深谷市幅羅町一丁目9番2号 株式

会社東芝深谷電子工場内

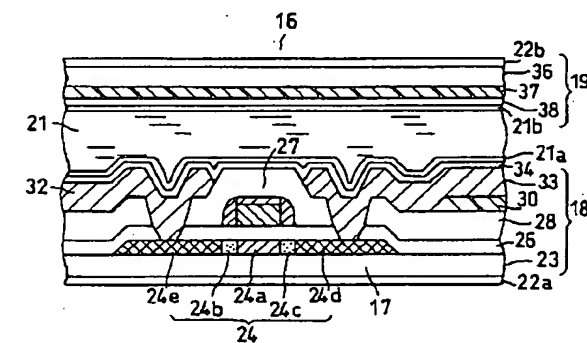
(74) 代理人 弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置用アレイ基板

(57) 【要約】

【課題】 ポリシリコンTFTにおいて、半導体層のLDD長のばらつきによる特性のばらつきを防止し、液晶表示装置の表示品位向上を図る。大表示画面の液晶表示装置の配線抵抗値の増大による表示むらを防止し、表示品位向上を図る。

【解決手段】 第3の導電膜43を異方形成し、第1及び第2の導電層27a、27bの側面を覆う様に残される第3の導電層27cをマスクにLDD領域24b、24cのLDD長を規定する。走査線(図示せず)及びこれと一体的に形成されるゲート配線層27を、アルミニウム(A1)からなる第1の導電層27aをチタン(Ti)からなる第2の導電層27b及びタングステン(W)からなる第3の導電層27cにて構成する。



16: 液晶表示装置 17: ポリシリコンTFT 18: フォトリソグラフィ基板  
19: 対向基板 21: 半導体層 24: 半導体層  
24a: チャンネル領域 24b, 24c: LDD領域 24d: ソース領域  
24e: ドレイン領域 27: ゲート配線層

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャネル領域及びこのチャネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャネル領域の両側にて前記チャネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャネル領域上に形成されアルミニウム (Al) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記低不純物濃度領域上に形成され、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを具備する事を特徴とする薄膜トランジスタ装置。

【請求項 2】 第 2 及び第 3 の導電層を、クロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも 1 つの金属を含む金属材料にて構成する事を特徴とする請求項 1 に記載の薄膜トランジスタ装置。

【請求項 3】 絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲート絶縁膜層を介し前記ポリシリコン層上方に第 1 の導電膜及び第 2 の導電膜を連続成膜する工程と、前記第 1 及び第 2 の導電膜を同時にパターン形成し第 1 の導電層及び第 2 の導電層を形成する工程と、この第 1 及び第 2 の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第 1 及び前記第 2 の導電層上に第 3 の導電膜を成膜する工程と、この第 3 の導電膜を異方的に加工して前記第 1 及び第 2 の導電層の側面のみを被覆する第 3 の導電層を形成する工程と、前記第 1 及び第 2 並びに第 3 の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを具備する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 4】 第 1 の導電膜をアルミニウム (Al) を主成分とする金属にて構成し、第 2 及び第 3 の導電膜をクロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも 1 つの金属を含む金属材料にて構成する事を特徴とする請求項 3 に記載の薄膜トランジスタ装置の製造方法。

【請求項 5】 絶縁性基板と、この絶縁性基板上に配置される第 1 の配線層と、この第 1 の配線層と交差するよう配線される第 2 の配線層と、前記第 1 及び第 2 の配線層の間にマトリクス状に配列される画素電極と、前記第

1 及び第 2 の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

前記第 1 の配線層あるいは前記第 2 の配線層の内の少なくとも一方を、アルミニウム (Al) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成する事を特徴とする液晶表示装置用アレイ基板。

【請求項 6】 絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャネル領域及びこのチャネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャネル領域の両側にて前記チャネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、

対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム (Al) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成する事を特徴とする液晶表示装置用アレイ基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ポリシリコン (PSi) からなる半導体層を有する薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びにこの薄膜トランジスタ装置を用いてなる液晶表示装置用アレイ基板に関する。

## 【0002】

【従来の技術】 液晶表示装置の駆動回路に用いる薄膜トランジスタ装置 (以下 TFT と略称する。) として、高

移動度であり、良好な半導体特性を有することから、従来ポリシリコン (P-Si) からなる半導体層を有するポリシリコン TFT が開発されている。

【0003】このポリシリコン TFT は、オン状態で比較的大きなドレイン電圧を与えられた場合、半導体層のチャネル領域と、その両側の、不純物を高濃度注入し低抵抗化してなる、ソース・ドレイン領域との接合部分に電界が集中しやすく、この電界により、加速されたキャリアであるホットエレクトロンやホットホールが発生されやすい。このホットエレクトロンやホットホールは、非常に高いエネルギーを持つため、半導体層及びゲート配線層間を絶縁するゲート絶縁膜内部に侵入して蓄積されることがあり、ポリシリコン TFT のしきい値電圧を変動させ、その安定な動作を妨げたり、あるいはアバランシェ降下を起こしゲート絶縁膜やソース・ドレイン領域を破壊する等、ポリシリコン TFT の信頼性、耐久性を低下させるおそれがある。

【0004】そこでこのようなポリシリコン TFT の信頼性及び耐久性を向上し良好な特性を得るため、一般に、チャネル領域及びソース・ドレイン領域との間に、ソース・ドレイン領域よりも不純物濃度が低く、チャネル領域とソース・ドレイン領域の中間の抵抗値を有する低不純物濃度領域（以下 LDD 領域と略称する。）を形成し、チャネル領域及びソース・ドレイン領域との接合部分での電界集中を緩和し、ホットエレクトロンやホットホールの発生を防止するポリシリコン TFT が開発されている。

【0005】この LDD 領域において、その長さである LDD 長は、特開平 5-72555 号公報に開示されるように、0.1~0.5  $\mu\text{m}$  程度が望ましいとされる。これは LDD 領域は、不純物の濃度を、チャネル領域とソース・ドレイン領域の中間に設定する事が重要とされ、LDD 領域を設けない場合に、チャネル領域とソース・ドレイン領域との接合部分に形成されるキャリアに対する接触障壁を低下させ、電界集中を緩和させるものである事から、LDD 領域が断面方向に長いと、ポリシリコン TFT の直列抵抗成分を下げるてしまうため、なるべく短い方が好ましいとされることによる。

【0006】具体的には特願平 7-249835 号公報に開示される様に、ソース・ドレイン領域の抵抗値は、ポリシリコン TFT のオン状態でのチャネル領域の抵抗値の 2% 以下である事が望ましい。このような抵抗値を得るには、ポリシリコン TFT そのものの電解効果移動度やサイズにもよるが、ポリシリコン TFT のオン状態でのチャネルの抵抗値は 50 k $\Omega$  程度なので、ソース・ドレイン領域の抵抗値は、1 k $\Omega$  以下が良い。LDD 領域の電気抵抗率が 0.1  $\Omega\text{m}$  程度とすると、LDD 長は 0.5  $\mu\text{m}$  以下が望ましい。又 LDD 長の下限は、製造時のプロセスの安定性、再現性を考えると 0.1  $\mu\text{m}$  以上が望ましい。

【0007】そして LDD 領域を有するポリシリコン TFT を得るため従来は、図 4 に示すように製造されていた。即ち、

①図 4 (イ) に示す様にガラス基板 1 上にアモルファスシリコン膜を積層し、レーザアニールにより、アモルファスシリコン膜をポリシリコン膜に結晶化し、マトリクス状にパターンニングしポリシリコン膜からなる半導体層 3 を形成する。

【0008】②図 4 (ロ) に示す様にゲート絶縁膜 4、ゲート配線 6 を形成し、低ドーズにてリン (P+) イオンやホウ素 (B+) イオン等の不純物をドーピングし半導体層 3 にチャネル領域 3-1、LDD 領域 3-2 を形成する。

【0009】③図 4 (ハ) に示す様に感光性レジストマスク 7 を形成し、高ドーズにてリン (P+) イオンやホウ素 (B+) イオン等の不純物をドーピングし半導体層 3 にソース・ドレイン領域 3-3 を形成する。

【0010】④図 4 (ニ) に示す様にマスク 7 を除去し、層間絶縁膜 8 を形成する。

【0011】⑤図 4 (ホ) に示す様にコンタクトホール 10a、10b を形成し、ソース電極 12、ドレイン電極 13 を形成し、LDD 領域を有するポリシリコン TFT 14 装置を完成していた。

【0012】

【発明が解決しようとする課題】しかしながら上記の様にレジストマスクを用いて LDD 領域を形成する場合、現状のフォトリソグラフィ技術では、レジストマスク形成時の重ね合わせの精度が  $\pm 2 \mu\text{m}$  程度の誤差を生じ、LDD 長が 0.1~0.5  $\mu\text{m}$  程度が望ましいとされるにも拘わらず、ソース領域側とドレイン領域側とは LDD 長が最大 2  $\mu\text{m}$  程度異なる場合を生じ、このようなポリシリコン TFT では、印可するドレイン電圧の極性により、トランジスタ特性が変わってしまい、液晶を安定に駆動出来ず、表示品位が劣化するという問題を生じていた。

【0013】一方液晶表示装置にあつては、の高精細且つ大表示画面の要求による大型化により、ポリシリコン TFT の配線層の配線抵抗が増大されると表示むらを生じる事から、配線層を低抵抗のアルミニウム (Al) で構成する装置の開発が進められている。しかしながらアルミニウム (Al) は腐食しやすく、又熱工程を経た場合にヒロックと呼ばれる凹凸が配線層周囲に生じ、配線間ショートを起こしやすいという問題を有している。そこで特開平 6-120503 号公報等に開示されるように配線層をアルミニウム (Al) 膜と、アルミニウム (Al) を被覆するクロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) あるいはこれらの合金からなる金属膜との積層構造にする事が提案されている。

【0014】そして従来このような配線層は、アルミニ

ウム (A 1) 膜からなる配線層をフォトリソグラフィ技術によりパターンニングした後、更に他の金属を成膜しフォトリソグラフィ技術によりパターンニングして形成していた。

【0015】しかしながら、現状のフォトリソグラフィ技術にあっては、アルミニウム (A 1) からなる配線層を他の金属で完全に被覆するためには、アルミニウム

(A 1) 配線層の線幅に比較して、他の金属の線幅を片側 2 μm 程度以上大きくする必要があるが有り、結果として配線幅が増大され、液晶表示装置の開口率を低下することとなり、表示品位を低下させるという問題を有していた。

【0016】そこで本発明は上記課題を除去するもので、LDD 長を微細且つ高精度に制御可能にする事により、ポリシリコン LDD の駆動特性を安定化し、良好な表示品位を有する液晶表示装置を得ると共に、アルミニウム (A 1) を主成分とする配線層の信頼性及び耐久性を高め、低抵抗の配線層を有するポリシリコン TFT の実用化を図る事により、表示むらの無い、良好な表示品位を有する液晶表示装置を得られる、薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置用アレイ基板を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は上記課題を解決するための第 1 の手段として、絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成されアルミニウム (A 1) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記低不純物濃度領域上に形成され、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを設けるものである。

【0018】又本発明は上記課題を解決するための第 2 の手段として、前記第 1 の手段において、第 2 及び第 3 の導電層を、クロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも 1 つの金属を含む金属材料にて構成するものである。

【0019】又本発明は上記課題を解決するための第 3 の手段として、絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲー

ト絶縁膜層を介し前記ポリシリコン層上方に第 1 の導電膜及び第 2 の導電膜を連続成膜する工程と、前記第 1 及び第 2 の導電膜を同時にパターン形成し第 1 の導電層及び第 2 の導電層を形成する工程と、この第 1 及び第 2 の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第 1 及び前記第 2 の導電層上に第 3 の導電膜を成膜する工程と、この第 3 の導電膜を異方的に加工して前記第 1 及び第 2 の導電層の側面のみを被覆する第 3 の導電層を形成する工程と、前記第 1 及び第 2 並びに第 3 の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを実施する物である。

【0020】又本発明は上記課題を解決するための第 4 の手段として、前記第 3 の手段において、第 1 の導電膜をアルミニウム (A 1) を主成分とする金属にて構成し、第 2 及び第 3 の導電膜をクロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも 1 つの金属を含む金属材料にて構成するものである。

【0021】又本発明は上記課題を解決するための第 5 の手段として、絶縁性基板と、この絶縁性基板上に配置される第 1 の配線層と、この第 1 の配線層と交差するよう配線される第 2 の配線層と、前記第 1 及び第 2 の配線層の間にマトリクス状に配列される画素電極と、前記第 1 及び第 2 の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、前記第 1 の配線層あるいは前記第 2 の配線層の内の少なくとも一方を、アルミニウム (A 1) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成するものである。

【0022】又本発明は上記課題を解決するための第 6 の手段として、絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記

ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム (A 1) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成するものである。

【0023】上記構成により、ポリシリコン TFT において、所望の微細且つ高精細な LDD 長を容易に得る事ができ、ポリシリコン TFT の駆動の安定化を図れ良好な表示品位を得られる。又アルミニウム (A 1) を主成分とする配線層のヒロックや腐食等を防止し、信頼性及び耐久性が高く且つ低抵抗の配線層の実用化を図れ、大型液晶表示装置への適用を図るものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図 1 乃至図 3 を参照して説明する。16 は、アクティブマトリクス型の液晶表示装置であり、駆動素子の半導体層としてポリシリコンを用いるトップゲート型のポリシリコン TFT 17 を有するアレイ基板 18 及び対向基板 19 の間に、配向膜 20 a、20 b を介して液晶組成物 21 を保持すると共に偏光板 22 a、22 b を有している。

【0025】ここでアレイ基板 18 の、ガラスあるいは石英等からなる透明な絶縁基板 23 上には、ポリシリコン TFT 17 のポリシリコンからなるチャネル領域 24 a、低ドーズのリン (P+) イオンがドーピングされる LDD 領域 24 b、24 c、高ドーズのリン (P+) イオンがドーピングされるソース領域 24 d、ドレイン領域 24 e を有する半導体層 24 がパターン形成されている。

【0026】この半導体層 24 上には酸化シリコン膜 (SiO<sub>2</sub>) からなるゲート絶縁膜 26 を介し、アルミニウム (A 1) からなる第 1 の導電層 27 a、チタン (Ti) からなる第 2 の導電層 27 b、タングステン (W) からなる第 3 の導電層 27 c で構成され、第 1 の配線層であり走査線 (図示せず) と一体的に形成されるゲート配線層 27 が形成されている。更に酸化シリコン膜 (SiO<sub>2</sub>) からなる層間絶縁膜 28 を介して画素電極 30 が形成されている。

【0027】層間絶縁膜 28 上には、モリブデン/アルミニウム/モリブデン (Mo/A 1/Mo) 積層膜からなり、コンタクトホール 31 a を介しドレイン領域 24 e に接続され、走査線 (図示せず) と直交する第 2 の配線層で有る信号線 (図示せず) と一体的に形成されるドレイン配線層 32 が形成され、更にモリブデン/アルミ

ニウム/モリブデン (Mo/A 1/Mo) 積層膜からなり、コンタクトホール 31 b を介しソース領域 24 d 及び画素電極 30 間を接続するソース配線層 33 が形成されている。又 34 は保護膜である。

【0028】一方対向基板 19 は、ガラスあるいは石英等からなる透明な絶縁基板 36 の全面に対向電極 37 及び保護膜 38 を有し、アレイ基板 18 との間に液晶組成物 21 を封入し、液晶表示装置 16 を構成している。

【0029】次にポリシリコン TFT 17 の製造方法について述べる。

【0030】(1) 図 3 (イ) に示す様に絶縁基板 23 上にプラズマ CVD 法により厚さ 300~1000 nm の非晶質シリコン (a-Si) を成膜した後、エキシマレーザアニール法により活性化し、ポリシリコン (P-Si) を形成し、更にフォトリソグラフィ工程により半導体層 24 をマトリクス状にパターンニングする。

【0031】(2) (ロ) に示す様にプラズマ CVD 法により酸化シリコン膜 (SiO<sub>2</sub>) を厚さ 100 nm 成膜しゲート絶縁膜 26 を形成する。

【0032】(3) (ハ) に示す様にスパッタリング法によりアルミニウム (A 1) からなる第 1 の導電膜 41 を 400 nm、更にチタン (Ti) からなる第 2 の導電膜 42 を 50 nm 連続成膜する。

【0033】(4) 図 3 (ニ) に示す様にフォトリソグラフィ工程により第 1 及び第 2 の導電膜 41、42 をパターンニングし第 1 及び第 2 の導電層 27 a、27 b を形成する。

【0034】(5) 図 3 (ホ) に示す様に第 1 及び第 2 の導電層 27 a、27 b をマスクとしたイオン注入法により、半導体層 24 に低ドーズにてリン (P+) イオンあるいはホウ素 (B+) イオンをドーピングし、LDD 領域 24 b、24 c を形成する。

【0035】(6) 図 3 (ヘ) に示す様にスパッタリング法によりタングステン (W) からなる第 3 の導電膜 43 を水平面で 500 nm となるよう成膜する。一般的なスパッタリング法では、水平面に比し垂直面では成膜厚が薄くなり、垂直面への成膜厚は条件により異なるが、この時の第 1 及び第 2 の導電層 27 a、27 b の側面に成膜される第 3 の導電膜 43 の厚さは 300 nm となり、この第 3 の導電膜 43 の垂直面の厚さが LDD 長を決定する。

【0036】(7) 図 3 (ト) に示す様に第 3 の導電膜 43 をトリフルオロブロモメタン/酸素 (CF<sub>3</sub>Br/O<sub>2</sub>) を用いるリアクティブイオンエッチング法により形成する。このトリフルオロブロモメタン/酸素 (CF<sub>3</sub>Br/O<sub>2</sub>) を用いると、側面部にはプラズマ重合によるポリマーが堆積するためエッチングが妨げられエッチング形状は異方的となる。これにより、第 1 及び第 2 の導電層 27 a、27 b の側面のみにタングステン (W) からなる第 3 の導電層 27 c を残す事が出来る。

これら第1乃至第3の導電層27a~27cによりゲート配線層27が形成される。

【0037】(8)図3(チ)に示す様に第1乃至第3の導電層27a~27cをマスクとしたイオン注入法により、半導体層24に高ドーズにてリン(P+)イオンあるいはホウ素(B+)イオンをドーピングし、ソース・ドレイン領域24d、24eを形成する。これにより断面方向で第3の導電層27cの幅である、0.3μmのLDD長が高精度に規定され、長さの揃った微細なLDD構造の半導体層24が形成される。

【0038】(9)図3(リ)に示す様にプラズマCVD法により酸化シリコン膜(SiO<sub>2</sub>)を厚さ500nm成膜し層間絶縁膜28を形成する。

【0039】(10)図3(ヌ)に示す様にHF(フッ化水素酸)系エッチャントを用いたエッチングによりコンタクトホール31a、31bを形成する。この時、ゲート配線層27のアルミニウム(Al)からなる第1の導電層27aは、第2及び第3の導電層27b、27cのチタン(Ti)、タングステン(W)に覆われており、エッチングによる腐食を防止される。

【0040】(11)図3(ル)に示す様にスパッタリング法により、インジウム錫酸化物(以下ITOと略称する。)を厚さ100nm成膜し、フォトリソグラフィ工程により画素電極30をパターン形成する。

【0041】(12)図3(ヲ)に示す様にスパッタリング法によりモリブデン/アルミニウム/モリブデン(Mo/Al/Mo)積層膜を50nm/500nm/50nm連続成膜し、フォトリソグラフィ工程によりソース配線層33及び、図示しない信号線と一体的に形成されるドレイン配線層32をパターン形成し、ポリシリコンTFT17を完成する。

【0042】この様に構成すれば、半導体層24のLDD領域24b、24cのLDD長が、フォトリソグラフィ技術により形成されるマスクを用いることなく、第3の導電膜43を異方的に加工してなりゲート配線層27の第1及び第2の導電層27a、27bの側面を覆う第3の導電層27cの垂直面の厚さにより微細且つ高精度に規制されるので、従来生じていたLDD長のばらつきを防止出来、所望のLDD長を容易に得られ、ポリシリコンTFT17は、移動度やしきい値電圧等のばらつきを生じることなく、安定した駆動特性を得られ、液晶表示装置16の表示品位の向上を図れる。

【0043】又、走査線(図示せず)及びこれと一体のゲート配線層27、ソース配線層33、信号線(図示せず)及びこれと一体のドレイン配線層32のすべての配線層が低抵抗のアルミニウム(Al)を主成分とすると共に、走査線(図示せず)及びこれと一体のゲート配線層27にあっては、アルミニウム(Al)からなる第1の導電層27aをチタン(Ti)からなる第2の導電層27b及びタングステン(W)からなる第3の導電層2

7cで被覆していることから、コンタクトホール31a、31b形成時に腐食を生じたり、加熱加工時にヒロックを生じる事無く、信頼性及び耐久性を損なう事無く配線層の低抵抗化を実現出来、液晶表示装置16の大表示画面化も可能とされる。

【0044】しかも、アルミニウム(Al)からなる第1の導電層27aを、チタン(Ti)及びタングステン(W)にて被覆してなる走査線(図示せず)及びこれと一体のゲート配線層27は、フォトリソグラフィ技術による形成時に比し、線幅を細く出来、液晶表示装置16の開口率の向上も図れる。

【0045】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であって、例えば、第1の導電層はアルミニウム(Al)に限定されず、アルミニウム(Al)を主成分としていれば、シリコン(Si)、銅(Cu)、タングステン(W)、チタン(Ti)、タンタル(Ta)等との合金であつても良いし、第2の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)等でも良く、又、層構造も単層に限らず、複数層としても良いし、第1の導電層にあっては、チタン(Ti)層あるいは、チタン/チ化チタン(Ti/TiN)の積層の上にアルミニウム(Al)を主成分とする金属層を積層する等しても良いし第3の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等でも良い。更にこれら導電膜を含む配線層の成膜方法もスパッタ法に限らず、CVD法や真空蒸着法等であっても良いし、その膜厚も必要に応じて任意である。

【0046】更に第3の導電膜をエッチングする際のエッチングガスも限定されず、トリフルオロ/酸素(CH<sub>3</sub>F<sub>3</sub>/O<sub>2</sub>)ガス等でもよく、第3の導電膜の金属に応じてより適正なガスを用い、例えばモリブデン(Mo)であればタングステン(W)に用いるのと同様の反応ガスが適当とされ、クロム(Cr)、チタン(Ti)、タンタル(Ta)であれば、塩素系(Cl<sub>2</sub>)のガスが適当とされる。

【0047】

【発明の効果】以上説明したように本発明によれば、第3の導電膜を異方的に加工し、第1及び第2の導電膜の側面にのみ残し、この第3の導電膜をマスクにLDD領域を規定することにより、フォトリソグラフィ技術に比し、微細且つ高精度なLDD長を容易に得られ、従来生じていたLDD長のばらつきによる移動度やしきい値電圧等のばらつきを防止出来、安定した駆動特性を有するポリシリコンTFTを得られ、液晶表示装置の表示品位を向上できる。

【0048】又アルミニウム(Al)を主成分とする第1の導電層を耐久性の良い金属からなる第2、第3の導

電層で被覆してなる配線層を用いる事により、低抵抗で有りながら腐食やヒロックを生じることなく信頼性、耐久性に優れ且つ配線幅の狭い配線を得られ、大表示画面の液晶表示装置への適用においても、表示むらを生じたり開口率低下を生じること無く良好な表示品位を得られ、大型液晶表示装置への適用も可能となる。

#### 【図面の簡単な説明】

【図 1】 本発明の実施の形態の液晶表示装置を示す概略断面図である。

【図 2】 本発明の実施の形態のポリシリコン TFT を示す概略断面図である。

【図 3】 本発明の実施の形態のポリシリコン TFT の製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)はゲート絶縁膜形成時、(ハ)は第 1 及び第 2 の導電膜形成時、(ニ)は第 1 及び第 2 の導電層のパターニング時、(ホ)は LDD 領域のドーピング時、(ヘ)は第 3 の導電膜成膜時、(ト)は第 3 の導電層の異方形成時、(チ)はソース・ドレイン領域ドーピング時、(リ)は層間絶縁膜形成時、(ヌ)はコンタクトホール形成時、(ル)は画素電極形成時、(ヲ)はソース配線層及びドレイン配線層形成時を示す概略説明図である。

【図 4】 従来のポリシリコン TFT の製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)は LDD 領域ドーピング時、(ハ)はソース・ドレイン領域ド

10

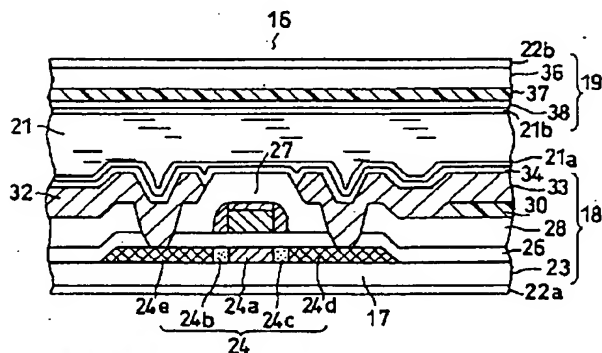
20

ーピング時、(ニ)は層間絶縁膜形成時、(ホ)はソース電極及びドレイン電極形成時を示す概略説明図である。

#### 【符号の説明】

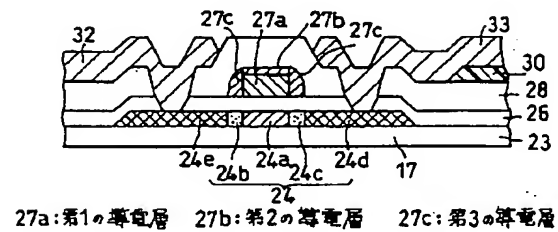
- 16…液晶表示装置
- 17…ポリシリコン TFT
- 18…アレイ基板
- 19…対向基板
- 21…液晶組成物
- 24…半導体層
- 24a…チャネル領域
- 24b、24c…LDD 領域
- 24d…ソース領域
- 24e…ドレイン領域
- 26…ゲート絶縁膜
- 27…ゲート配線層
- 27a…第 1 の導電層
- 27b…第 2 の導電層
- 27c…第 3 の導電層
- 31a、31b…コンタクトホール
- 32…ドレイン配線層
- 33…ソース配線層
- 41…第 1 の導電膜
- 42…第 2 の導電膜
- 43…第 3 の導電膜

【図 1】



- 16: 液晶表示装置
- 17: ポリシリコン TFT
- 18: アレイ基板
- 19: 対向基板
- 21: 液晶組成物
- 24: 半導体層
- 24a: チャネル領域
- 24b, 24c: LDD 領域
- 24d: ソース領域
- 24e: ドレイン領域
- 27: ゲート配線層

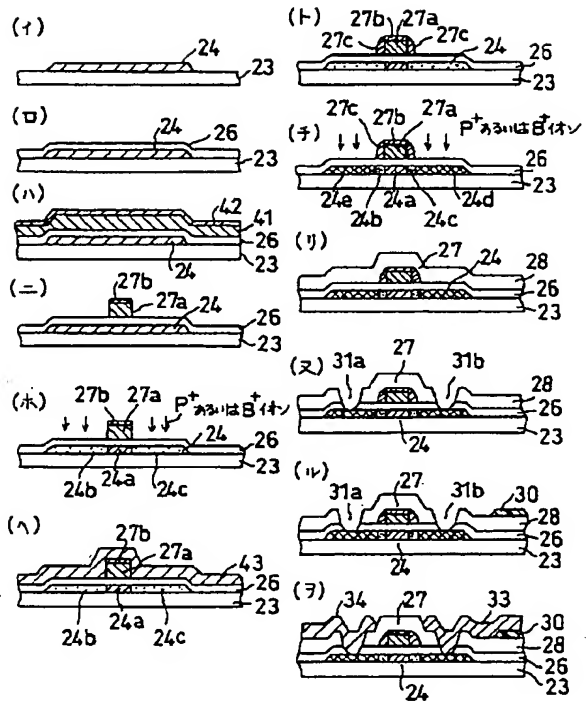
【図 2】



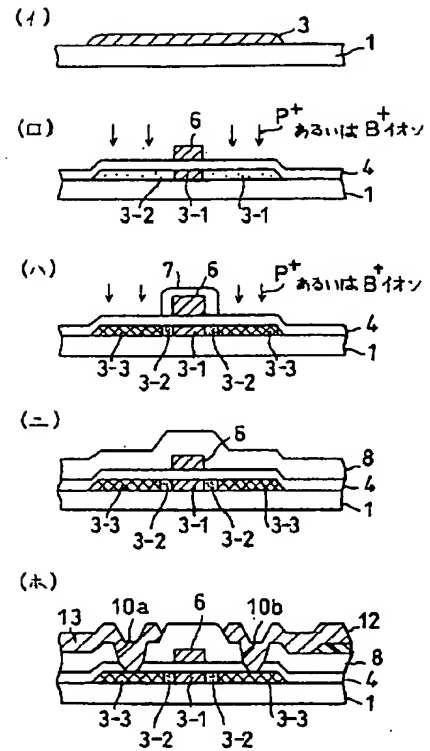
- 27a: 第 1 の導電層
- 27b: 第 2 の導電層
- 27c: 第 3 の導電層



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 L 29/78

6 1 6 V

6 1 7 M

BEST AVAILABLE COPY